

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041746

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H03B 5/32

(21)Application number : 08-215323

(71)Applicant : KINSEKI LTD

(22)Date of filing : 26.07.1996

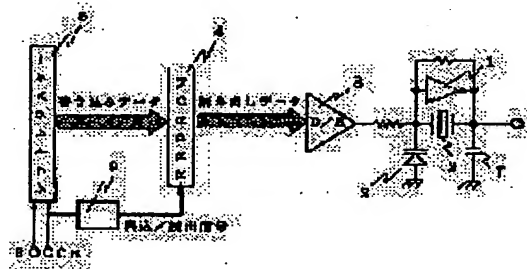
(72)Inventor : NARAI HIROSHI

## (54) PIEZOELECTRIC OSCILLATOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform zero adjustment from the outside by using a shift register circuit for writing appropriate zero adjustment voltage signals to an EEPROM from the outside for the data of voltage signals impressed to a variable capacitance diode.

**SOLUTION:** Appropriate voltage data for the zero adjustment stored in the memory of the EEPROM 4 are converted from digital to analog in a D/A converter 8 and impressed to the variable capacitance diode as a voltage. Thus, the zero adjustment of this piezoelectric oscillator constituted of an inverter 1 and a piezoelectric vibrator 2 is performed. The voltage data for the zero adjustment stored in the EEPROM 4 are controlled from an external terminal by using the shift register circuit 5. That is, the zero adjustment of the piezoelectric oscillator is performed by write signals for writing the data for the zero adjustment from the shift register circuit 5 to the EEPROM 4 and read signals for reading them from the EEPROM 4 to the D/A converter 8 as the voltage data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41746

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.<sup>8</sup>

H 0 3 B 5/32

識別記号

庁内整理番号

F I

H 0 3 B 5/32

技術表示箇所

E

審査請求 未請求 請求項の数 4 F D (全 5 頁)

(21) 出願番号

特願平8-215323

(22) 出願日

平成 8 年 (1996) 7 月 26 日

(71) 出願人 000104722

キンセキ株式会社

東京都狛江市和泉本町1丁目8番1号

(72) 発明者 成相 博

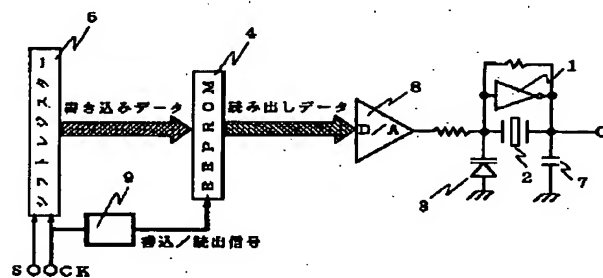
東京都狛江市和泉本町1丁目8番1号 キンセキ株式会社内

(54) 【発明の名称】 圧電発振器

## (57) 【要約】

【目的】従来では圧電振動子から構成する圧電発振器に接続したコンデンサ容量を可変することにより圧電振動子の中心周波数のゼロ調整を行っていたが、コンデンサ容量などを機械的に可変することなく、圧電発振器の外部端子から確実に、かつ容易にゼロ調整を行うことを目的とする。

【構成】圧電振動子を接続した圧電発振器に可変容量ダイオードを介し、その可変容量ダイオードに印加する電圧信号を、外部端子から入力したデジタル信号でEEPROMなどのメモリーに電圧出力信号として記憶させ、ゼロ調整を行う適正電圧データを読み出す構造にすることで課題を解決した。



## 【特許請求の範囲】

【請求項1】 発振回路に圧電振動子を接続し、該圧電振動子に可変容量ダイオードを接続し、該可変容量ダイオードに周波数のゼロ調整信号を入力する圧電発振器において、  
該可変容量ダイオードに印加する電圧信号のデータをEEPROMに保存する手段として、圧電発振器を構成する端子を介し外部からEEPROMに適正なゼロ調整電圧信号の書き込みを行うシフトレジスタ回路を用いたことを特徴とした圧電発振器。

【請求項2】 発振回路に圧電振動子を接続し、該圧電振動子に可変容量ダイオードを接続し、該可変容量ダイオードに周波数のゼロ調整信号を入力する圧電発振器において、  
該圧電発振器の入力端子側のグランドとの間に可変容量ダイオードを配置し、該可変容量ダイオードに印加する電圧信号のデータをEEPROMに保存する手段として、圧電発振器を構成する端子を介し外部からEEPROMに適正なゼロ調整電圧信号の書き込みを行うカウンタ回路を用いたことを特徴とした圧電発振器。

【請求項3】 発振回路に圧電振動子を接続し、該圧電振動子に可変容量ダイオードを接続し、該可変容量ダイオードに周波数のゼロ調整信号を該可変容量ダイオードに印加する電圧信号のデータをEEPROMに保存する手段を用いた圧電発振器において、  
該EEPROMへのデータ書き込みと該EEPROMからデータ読み出しを同一端子から行うことを特徴とした圧電発振器。

【請求項4】 前記圧電発振器における外部入力信号用の圧電発振器の端子は、圧電発振器を構成する端子の内の2端子を用いることを特徴とする請求項1乃至3の圧電発振器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 圧電発振器の発振周波数調整（ゼロ調整）方法に関する。

## 【0002】

【従来の技術】 図4に示すような圧電発振器はインバータの入出力端子に圧電振動子を接続し、入力端子側と出力端子側は発振用のコンデンサを経由してグランド（接地）がなされている。普通インバータの入力端子側にあるコンデンサに可変コンデンサを用いることにより、発振周波数調整（ゼロ調整）が行われる。発振周波数とコンデンサ容量の関係は、コンデンサ容量を大きくすることにより発振周波数は下がってくる。

【0003】 圧電発振器に組み込まれる圧電振動子の加工バラツキによる中心周波数のズレや、圧電発振器を構成する抵抗、コンデンサなどの半導体素子のバラツキによる中心周波数のズレを補正するためのゼロ調整は、コンデンサ容量の増減により行われている。発振周波数が

上下する特性を一例にすれば、圧電発振器を組立、最終的な周波数調整を、図4に示すような回路構成により発振周波数のゼロ調整を行う。

【0004】 従来一般的に用いられるゼロ調整方法としては、図4（a）に示すように適正なコンデンサ容量を選択する方法や、図4（b）に示すような可変コンデンサを用いることにより、連続的に発振周波数を可変する方法や、図4（c）に示すような可変抵抗と可変容量ダイオードの組み合わせにより発振周波数を可変する方法を用いて、圧電発振器を組立、出荷検査の最終工程でゼロ調整部品の調整目盛りを機械的に回しゼロ調整を行っている。

## 【0005】

【発明が解決しようとする課題】 最近の傾向である高密度化、高信頼性化、超軽量化、超小型化された電子部品、セット部品の需要に対応するため、これらの電子部品、セット部品に組み込む圧電発振器も当然のことながら、小型化と高信頼性化が要求されているのが現状である。一般的な圧電発振器の構造としては、「従来の技術」にも記述したように、圧電発振器に組み込まれる圧電振動子の中心周波数のズレや、圧電発振器を構成する回路構成などによる中心周波数のズレを補正するためのゼロ調整を機械的に行う必要があり調整の手間や製造コストがかかってしまう。

【0006】 一方圧電発振器の容器構造から見ればゼロ調整を行うために、圧電発振器にフタを被せる前の状態でゼロ調整を行ったり、圧電発振器の容器の一部にゼロ調整用に可変するコンデンサなどを調整するための、調整箇所（穴など）を圧電発振器の容器に加工しておく必要があり、周波数変化量精度が厳しい圧電発振器を密閉した容器の状態にできないといった課題がある。前述したように、最終的な出荷検査の調整工程で圧電発振器のゼロ調整を行う必要上、どうしても圧電発振器を完全に密閉できないことから、ゼロ調整後のフタを被せる製造工程における中心周波数のズレの発生や、圧電発振器の容器に開けられたゼロ調整用の穴により発振動作に対する湿度変化といった環境の変化が起こるおそれ考えられる。

【0007】 また、より小型化を目指した圧電発振器の提供を考えたときの一例として、圧電発振器を樹脂などでモールド加工したい場合には、モールド成形する工程においてゼロ調整用の穴の制作は非常に手間が掛かり、難しい加工となってしまうことから、實際上ゼロ調整を行うことが不可能となってしまう。

## 【0008】

【課題を解決するための手段】 インバータの入出力端子に圧電振動子を接続した圧電発振器の、入力端子側のグランドとの間に可変容量ダイオードを配置し、可変容量ダイオードに印加するゼロ調整電圧を圧電発振器を構成する2端子からシフトレジスタ方式やカウンタ方式でE

EPROMのメモリーにデジタルデータとして記憶させ、ゼロ調整に適した電圧データを記憶したEEPROMメモリーのデータを読み出し、読み出したデジタル信号をアナログ信号に置き換え、置き換えたアナログの電圧を可変容量ダイオードに印加し、圧電発振器のゼロ調整を行うことにより課題を解決した。

#### 【0009】

【実施例】以下、添付図面に従ってこの発明の実施例を説明する。なお、各図において同一の符号は同様の対象を示すものとする。本発明は、可変容量ダイオードにEEPROM4のメモリーに記憶されているゼロ調整用の適正電圧データを、D/Aコンバータ8でデジタルからアナログにし、電圧として印加することにより、インバータ1と圧電振動子2で構成される圧電発振器のゼロ調整を行うもので、EEPROM4に記憶するゼロ調整用の電圧データをシフトレジスタ回路5や、カウンタ回路6を用いて、圧電発振器を構成する外部端子(V<sub>dd</sub>端子、グランド端子、周波数出力端子以外に端子を設ける)から制御する手段である。

【0010】シフトレジスタ回路5を用いる方法では、シリアルデータS、クロック信号CKでシフトレジスタ回路5にゼロ調整用データを送り、シフトレジスタ回路5よりEEPROM4へゼロ調整用データを書き込むための、書き込み信号と、D/Aコンバータ8へ電圧データとしてEEPROM4から読み出すための読み出し信号で圧電発振器のゼロ調整を行うものである。

【0011】一方、カウンタ回路6を用いる方法では、クロック信号CKとクリアーデータCLでカウンタ回路6にゼロ調整データを送り、カウンタ回路6よりEEPROM4へゼロ調整用データを書き込むための書き込み信号と、D/Aコンバータ8へ電圧データとしてEEPROM4から読み出すための読み出し信号で圧電発振器のゼロ調整を行う手段により、従来のゼロ調整方法を簡略化し外部端子から制御する手段に改善したゼロ調整方法である。以下、シフトレジスタ回路5とカウンタ回路6により制御する概念を説明する。

【0012】図2にはシフトレジスタ回路5によりEEPROM4へゼロ調整データを送る手段を説明するブロック図である。図2(a)、図2(b)は、シフトレジスタ回路5には、ゼロ調整データとしてのシリアルデータを送る端子Sと、シリアルデータをシフトレジスタ回路5にセットするクロック信号を送る端子CKとがあり、EEPROM4にはシフトレジスタ回路5からのデータを書き込む端子Wと、書き込んだデータをD/Aコンバータ8に電圧出力データとして読み出す端子Rとがある。図2(c)は、シフトレジスタ回路5へはシリアルデータと、クロック信号がシフトレジスタ回路5とカウンタ9へ同時に送られカウンタ9の信号がEEPROM4への書き込み信号と読み出し信号となる。

【0013】図2(a)では、シリアルデータとクロッ

ク信号により、シフトレジスタ回路5へゼロ調整データが送られ、書き込み信号によりEEPROM4にゼロ調整用データが記憶される。更に、読み出し信号によりEEPROM4に記憶されたゼロ調整用信号がD/Aコンバータ8に出力される。このように、シフトレジスタ回路5のシリアルデータ、クロック信号と、EEPROM4の書き込み信号、読み出し信号の4つの外部端子で構成されたブロック図である。同様に、図2(b)では、EEPROM4の書き込み信号、読み出し信号とを一つにし外部端子としては、3端子にしたブロック図である。

【0014】EEPROM4の書き込み信号、読み出し信号の信号切り替えを、カウンタ9がシフトレジスタ回路5のビット数分のクロック信号をカウントしたか、しないかで行うことにより、本発明の特徴でもある図2(c)での、シフトレジスタ回路5へのシリアルデータとクロック信号の2端子だけの構成により、今まで記述した動作を行うことができるブロック図である。なお、シフトレジスタ回路5へのシリアルデータを増やし、EEPROM4のビット数を多くし、D/Aコンバータ8の分解能を多くすることによりゼロ調整用信号を細かくできることから、より精密にゼロ調整制御ができる。また、EEPROM4は、書き込み端子W、読み出し端子Rに信号が接続されていない場合には、D/Aコンバータ8にEEPROM4に記憶されているゼロ調整用信号を出力する回路構成がなされている。

【0015】一方、図3に示すようにカウンタ回路6により、EEPROM4へのゼロ調整信号を送ることもできる。図2のシフトレジスタ回路5との大きな違いは、ゼロ調整用信号であるシリアルデータの代わりに、カウンタ回路6の内容をクリアーする端子CLからリセット信号を入力した後に、カウンタ回路6にクロック信号を送る端子CKからクロック信号を入力することにより、カウンタ回路6の値がゼロ調整用データになる。

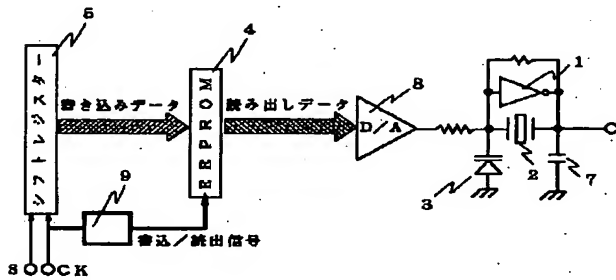
【0016】図3(a)ではカウンタ回路6へのクロック信号、クリアー信号と、EEPROM4の書き込み信号、読み出し信号の4つの外部端子で構成されたブロック図であり、図3(b)では、EEPROM4の書き込み信号、読み出し信号とを一つにし外部端子としては、3端子にしたブロック図である。また、EEPROM4の書き込み信号、読み出し信号の信号切り替えの信号動作タイミングをカウンタ回路6のクリアー信号に置き換えることにより、図3(c)に示すように外部端子を2端子にすることもできる。カウンタ回路6による動作においても、シフトレジスタ回路5の動作と同様、EEPROM4は、書き込み端子W、読み出し端子Rに信号が接続されていない場合には、D/Aコンバータ8にEEPROM4に記憶されているゼロ調整用信号を出力する回路構成がなされている。なお、以上に記述した内容はインバータ1により構成される圧電発振器の他、トラン

ジスタやECLなどを用いた回路により構成される圧電発振器や、VCXOなどへのゼロ調整方法へも応用することができる。

【0017】

【発明の効果】本発明により、ゼロ調整を外部より行えるようにすることができ、製造工程と検査工程での作業効率を大幅に改善することができた。また、圧電発振器の構造も簡略化することができ、加えて密閉容器も可能となることから、高信頼性の圧電発振器が製造できる。従って、製品品質も安定し製造の歩留まり改善が図れるなど、製造コストの低減ができた。また密閉容器においても、部品の経時変化により周波数が変化しても再度ゼロ調整ができるため、常に周波数を高精度に保つことができる。

【図1】



【図面の簡単な説明】

【図1】本発明のゼロ調整方法を構成するブロック図である。

【図2】本発明でシフトレジスタ回路を用いたブロック構成図である。

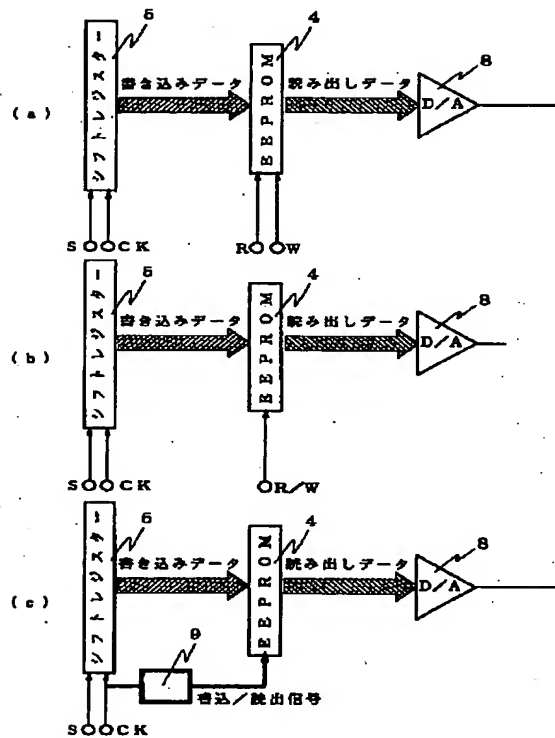
【図3】本発明でカウンタ回路を用いたブロック構成図である。

【図4】従来のゼロ調整方法の回路例である。

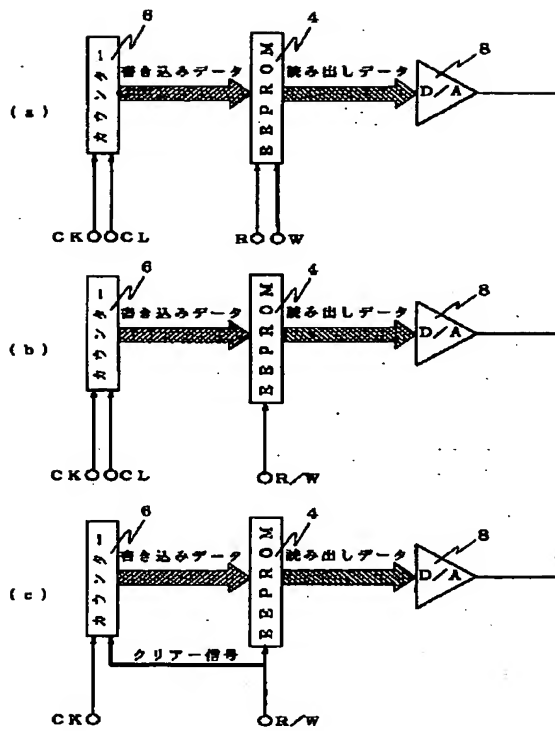
【符号の説明】

- 2 圧電振動子
- 3 可変容量ダイオード
- 4 EEPROM
- 5 シフトレジスタ回路
- 6 カウンタ回路

【図2】



【図3】



【図4】

